

IEC 61000-4-16 の概要 — 追補 4: AC 電圧試験における 妨害電圧の印加の影響

株式会社 e・オータマ 佐藤智典

2026 年 2 月 2 日

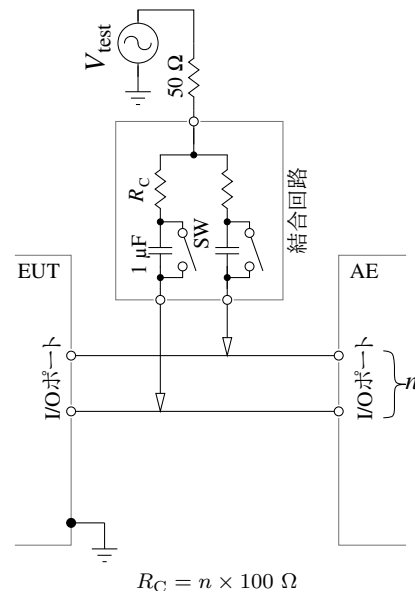
目 次

1	概要	1
2	デジタル I/O ポート、デジタル通信ポート	2
2.1	試験レベル	2
2.2	非絶縁 NPN オープン・コレクタ出力 → 抵抗 プルアップ、電圧入力	2
2.2.1	通常の動作	3
2.2.2	妨害電圧の印加の影響	3
2.2.3	妨害電圧の印加の影響の緩和	5
2.3	非絶縁 オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側)	6
2.3.1	通常の動作	7
2.3.2	妨害電圧の印加の影響	8
2.3.3	妨害電圧の印加の影響の緩和	8
3	アナログ I/O ポート	8
3.1	アナログ信号 定電流ソース (EUT 側) → 抵抗 負荷、絶縁増幅器入力 (AE 側)	8
3.1.1	通常の動作	12
3.1.2	妨害電圧の印加の影響	12
3.1.3	妨害電圧の印加の影響の緩和	12
4	まとめ	12
5	参考資料	15

1 概要

IEC 61000-4-16^{[1][3]} の試験に際して、非シールド線の接続が意図されたポートには図 1 のように結合回路を介して妨害が注入される。

AC 妨害電圧の印加に際しては抵抗と直列に $1\ \mu\text{F}$ のコンデンサを接続したものを介し、例えば 15 Hz ～ 150 kHz かそれよりも狭い周波数範囲で 1 ～ 10 V rms の、また 16 2/3 Hz、50 Hz、及び 60 Hz で 100 V rms までの^{†1}妨害電圧が印加され、これは印加対象のポートに相当の影響を与える可能性がある。



$$R_C = n \times 100\ \Omega$$

SW: AC 電圧試験では開く

他のポートは別の資料^{[1][3]}にあるように処理

図 1: AC 電圧試験での妨害電圧の印加の例

^{†1} 図 2 に示すように IEC 61000-4-16 では Level 4 として 15 Hz ～ 150 kHz で 3 ～ 30 V rms の、また 16 2/3 Hz、50 Hz、及び 60 Hz で 300 V rms までの試験レベルが示されている。

この試験は妨害電圧の印加をコモンモードで行なうような形となっているが、例えば 2 本のラインの一方がグランドや電源に接続されている場合のように、相当のレベルの妨害電圧が実質的にノーマルモードで印加される形となってこれが著しい悪影響を与えることもある。

本稿では IEC 61000-4-16 のこの AC 電圧試験において生じる可能性が予期される影響^{†2†3}について、また一部についてはその影響の緩和に用いることができるかも知れない手段について述べる。

この試験に際しては印加対象のポート以外は結合回路を介して接地され、これが悪影響を与える可能性もあるが、これについては既に別の記事^[3.2]で扱っており、本稿では扱わない。

2 デジタル I/O ポート、デジタル通信ポート

2.1 試験レベル

試験レベルやその試験レベルで許容される試験対象システムへの影響（性能基準）は規格で規定されるか製品毎の分析に基づいて規定されることになるだろうが、ここでは仮に 図 2 で折れ線で示した Level 3 の試験レベルでシステムが正常な動作を維持することが求められるものと仮定する。^{†4}

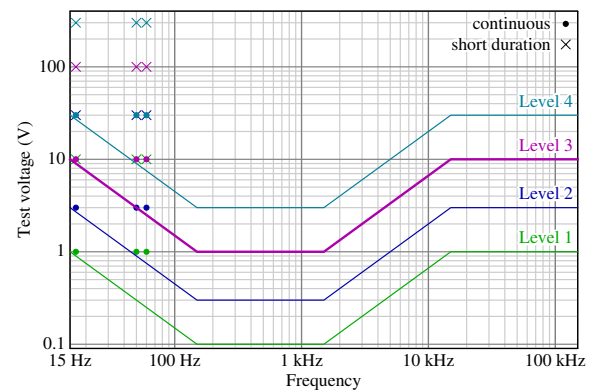


図 2: 試験レベルの例 (IEC 61000-4-16^[1]に基づく)
— 本稿では簡単のためこの図で ● と × で示したスポットでの試験レベルは無視する

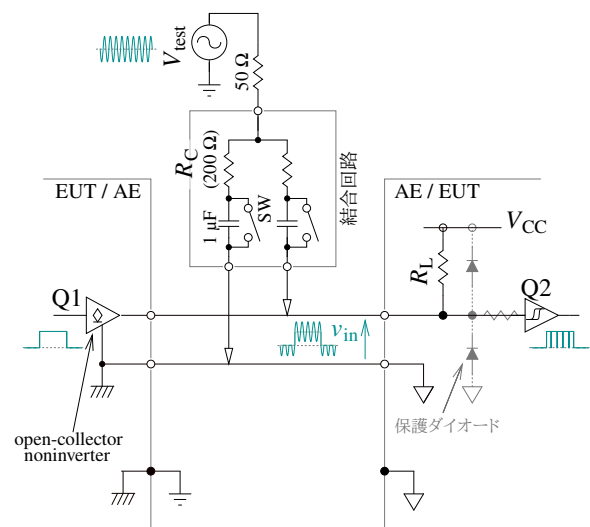


図 3: 非絶縁 NPN オープン・コレクタ出力 → 抵抗プルアップ、電圧入力 — 妨害電圧の印加

2.2 非絶縁 NPN オープン・コレクタ出力 → 抵抗プルアップ、電圧入力

ここでは、図 3^{†5}に示すような、オープン・コレクタの出力を抵抗 (R_L) でプルアップして論理信号として受け取る単純な非絶縁インターフェースについて考える。

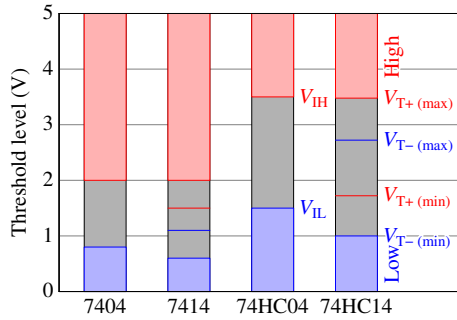
受信レベルのロー/ハイの判別の閾値はレシーバに依存し、レシーバとして標準ロジックを用いるとしてもファミリや電源電圧による相違が、またファミリ内でも若干の相違がある。さらに、実際の閾値は図 4 でグレー・ゾーンとして示すような広い範囲内のどこかにあり、シュミット・トリガの場合は電圧の立ち上がりとしち下がりとは異なる閾値を持つ。予

^{†2} DC 電圧試験については [3.3] で述べた。

^{†3} 本稿で述べるのはあくまでも IEC 61000-4-16 の AC 電圧試験で生じる可能性が予期される影響であり、これは実際の使用環境で生じる可能性が予期される影響とは異なるかも知れない。例えばこの規格での試験は実際の使用状況とは無関係に対向器 (AE) 側のポートは減結合 (デカップル) して行なわれ、これが実際の使用状況との大きな乖離を生じさせる可能性がある。また、例えば IEC TR 61000-5-2^[2] に従った接地システムと配線プラクティスはこの試験での模擬が意図されている妨害の発生を効果的に抑制することが期待できそうであり、そのような条件下での使用が想定されているような場合はこの試験を実施して合格させることは実際の使用環境でのイミュニティの向上にあまり寄与しそうにない。

^{†4} 図 2 で ● で示した試験レベル (例えば Level 3 では 16 2/3 Hz、50 Hz、また 60 Hz で 10 V rms)、あるいは Level 4 の試験レベルで正常な動作を維持することが求められるような場合、その考慮も必要となる。また、例えば IEC 61326-3-2:2017 の 10~150 kHz で 10 V rms など、図 2 で示したものと異なる試験レベルが規定されることもあるだろう。

^{†5} ここでは実際には存在するかも知れないフィルタや保護回路は示していない。以下も同様。

図 4: ロジック入力の閾値の例 ($V_{CC} = 5\text{ V}$)

期される閾値は様々であるが、ここでは主に図 4 で 74HC04 として例示したような (いわゆる C-MOS レベルの) 閾値を仮定する。

試験は EUT 側は接地して (\perp に接続して)、AE (対向器) 側のポートはデカップルして (従って \perp からアイソレートされた状態で) 行なわれるが、この構成では EUT のグランド \perp と AE のグランド \perp が接続されることから EUT と AE を逆にしても同様となることが予想される。

2.2.1 通常の動作

通常の動作状態では、図 3 のような構成でドライバ Q1 の出力がロー (導通) の時は受信側の電圧 v_{in} は 0 V 近くまで引き下げられてロー・レベルとなり、レシーバ Q2 の出力もローとなる。

また、ドライバ Q1 の出力がハイ (開放) の時は受信側の電圧 v_{in} はプルアップ抵抗 R_L によって受信側の V_{CC} 近くまで引き上げられてハイ・レベルとなり、レシーバ Q2 の出力もハイとなる。

2.2.2 妨害電圧の印加の影響

別の記事 [3.3] で触れたように、許容可能な電圧範囲 (絶対最大定格) を超える電圧がレシーバなどに印加されることによる損傷の可能性を別とすれば、ドライバ Q1 の出力がハイ (開放) となっている状態で妨害が印加された時に妨害の影響でその出力側の論理状態が誤った状態となる可能性が最大の懸念となりそうである。

図 5 に、図 3 のような構成で $f_{\text{test}} = 15\text{ kHz}$ 、 $V_{\text{test}} = 10\text{ V rms}$ の妨害電圧を印加した時のレシーバ Q2 の入力電圧 v_{in} の波形を、 $R_C = 200\text{ }\Omega$ ($n = 2$)、 $V_{CC} = 5\text{ V}$ 、ドライバ Q1 の出力はハイ

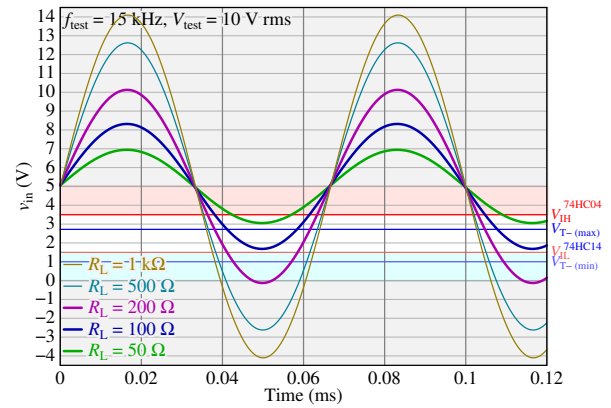


図 5: NPN オープン・コレクタ出力→抵抗プルアップ、電圧入力 — 図 3 のような構成での妨害電圧印加時の入力電圧波形 v_{in} のイメージ (妨害電圧: $f_{\text{test}} = 15\text{ kHz}$, $V_{\text{test}} = 10\text{ V rms}$)、保護ダイオードの影響は無視)

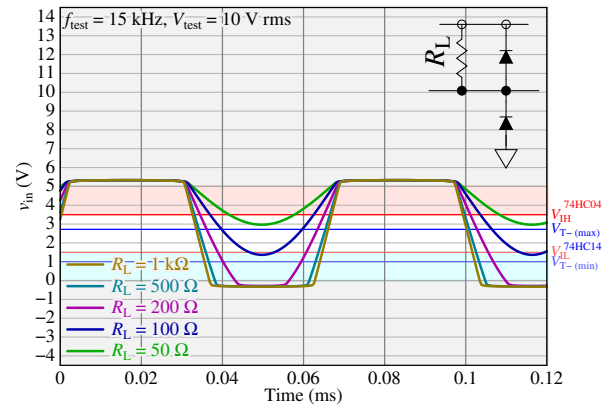


図 6: NPN オープン・コレクタ出力→抵抗プルアップ、電圧入力 — 保護ダイオードの影響を考慮した、図 3 のような構成での妨害電圧印加時の入力電圧波形 v_{in} のイメージ (妨害電圧: $f_{\text{test}} = 15\text{ kHz}$, $V_{\text{test}} = 10\text{ V rms}$)

(開放)、プルアップ抵抗 $R_L = 50\text{ }\Omega$ 、 $100\text{ }\Omega$ 、 $200\text{ }\Omega$ 、 $500\text{ }\Omega$ 及び $1\text{ k}\Omega$ とした場合について、デバイスの入力インピーダンスや実際には存在するであろう保護ダイオードなどの影響などは無視して推定したものを示す。

この図に示したように単純には妨害電圧印加時の v_{in} は V_{CC} に交流電圧が重畳された波形となるだろう。ここで推定を示した波形はプルアップ抵抗 R_L が小さいほうが妨害電圧の影響は小さくなるであろうことを、だが $R_L = 200\text{ }\Omega$ の場合でも波形の一部が $V_{T-(\text{min})}$ や V_{IL} を下回り本来はハイであるべきところがローと判断されるであろうことを、また $R_L = 100\text{ }\Omega$ の場合でも波形の一部が $V_{T-(\text{max})}$ や

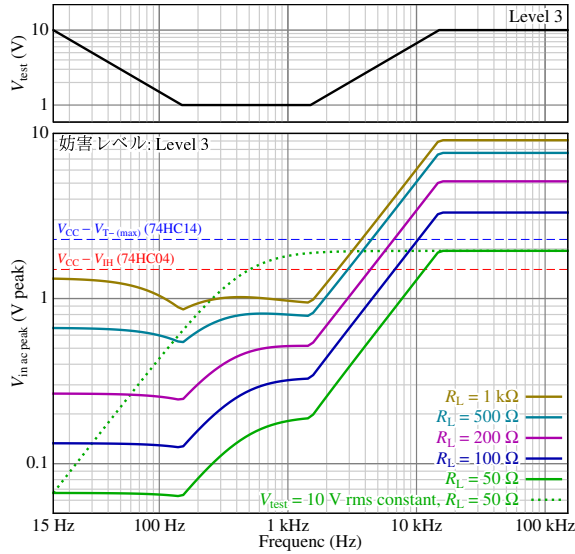


図 7: NPN オープン・コレクタ出力→抵抗プルアップ、電圧入力 — 図3のような構成での妨害電圧印加時にレシーバの入力に現れる妨害電圧成分のピーク値 $V_{in\ ac\ peak}$ の推定 (妨害レベル: Level 3 (図2)、保護ダイオードの影響は無視)

V_{IH} を下回り本来はハイであるべきところがローと判断されるかも知れないことを示している。^{†6}

なお、この波形は明らかに電源電圧の範囲を超えており、おそらく図6にそのイメージを示すように保護ダイオードによって波形がクリップされる(また、保護ダイオードと注入回路のコンデンサとの相互作用により波形の残りの部分が若干オフセットするかも知れない)であろうが、本稿では基本的にその影響は無視している。

図7には、この回路に図2で折れ線で示した Level 3 の妨害を印加した時にレシーバの入力に現れる妨害電圧成分のピーク値 $V_{in\ ac\ peak}$ を、他は図5と同じ条件で 15 Hz～150 kHz の範囲について推定した結果を示す。

この推定に基づけば、 $R_L = 200\ \Omega$ の場合で 4～7 kHz 程度よりも上の周波数で妨害の振幅が閾値 $V_{T-(max)}$ や V_{IH} を下回るレベルとなりそうである。

^{†6} ハイからローへの切り替わりは 74HC04 の場合は V_{IH} から V_{IL} の、また 74HC14 の場合は $V_{T-(max)}$ から $V_{T-(min)}$ のどこかで生じ、確実にハイ・レベルを維持するためには V_{IH} や $V_{T-(max)}$ を下回らないようにすることが必要となる。ここで「ローと判断されるかも知れない」と書いたのは、図5で示した $200\ \Omega \leq R_L$ の波形のように V_{IL} や $V_{T-(min)}$ を下回れば確実にローと判断されるであろうが、 $R_L = 100\ \Omega$ の波形のように V_{IL} や $V_{T-(min)}$ から V_{IH} や $V_{T-(max)}$ の範囲内ではこれは不確定となるためである。但し、実際の IC はおそらくそのような限界近の特性を持たず、実際の試験での影響は大抵は本稿のような分析が示すよりは幾分小さいものとなりそうである。

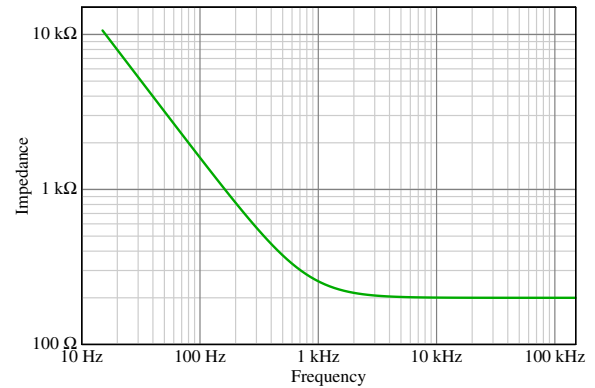


図 8: 200 Ω + 1 μF のインピーダンス

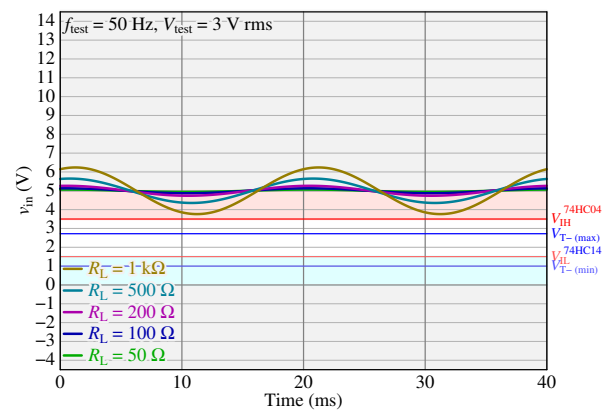


図 9: NPN オープン・コレクタ出力→抵抗プルアップ、電圧入力 — 図3のような構成での妨害電圧印加時の入力電圧波形 v_{in} のイメージ (妨害電圧: $f_{test} = 50\ \text{Hz}$, $V_{test} = 10\ \text{V rms}$)、保護ダイオードの影響は無視)

この推定では低い周波数では妨害の振幅が小さくなっているが、これはここで仮定した図2で折れ線で示した Level 3 の試験レベルでは 15 kHz から 1.5 kHz に向けて印加される妨害電圧が低くなること、また 150 Hz よりも低い周波数では印加される妨害電圧は再び高くなるが結合回路の 1 μF のコンデンサのインピーダンスが高くなり (図8に示すように、結合回路の 200 Ω + 1 μF のインピーダンスは 150 Hz で 1 kΩ 強、15 Hz では 10 kΩ 強に達する) 妨害の注入を妨げることによる。

$f_{test} = 50\ \text{Hz}$, $V_{test} = 3\ \text{V rms}$ (図2で折れ線で示された Level 3 の試験レベルに相当) の妨害電圧を印加した時の v_{in} の波形を推定したものを図9に示すが、この条件では図5に示したものと比較して v_{in} の振幅が相当小さくなるであろうことがわかる。

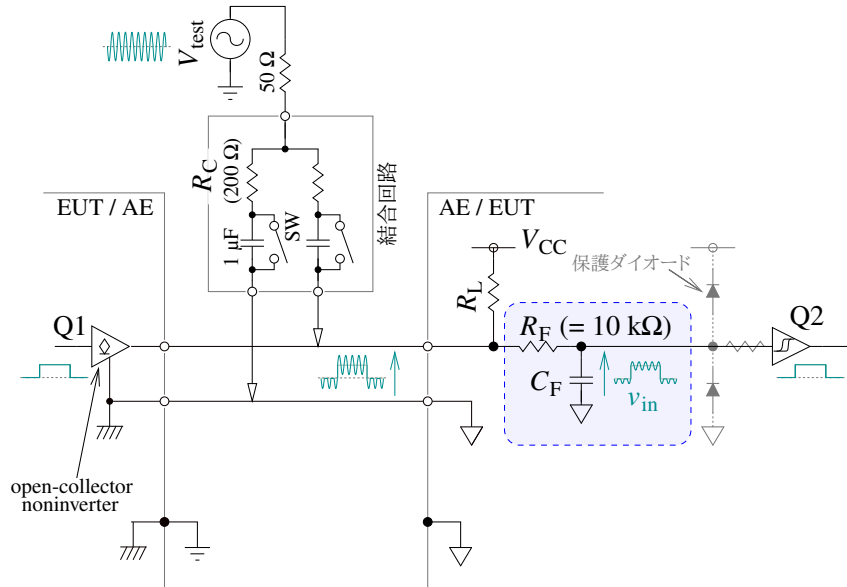


図 10: 非絶縁 NPN オープン・コレクタ出力 → 抵抗プルアップ、電圧入力 — レシーバ入力へのフィルタの追加の例

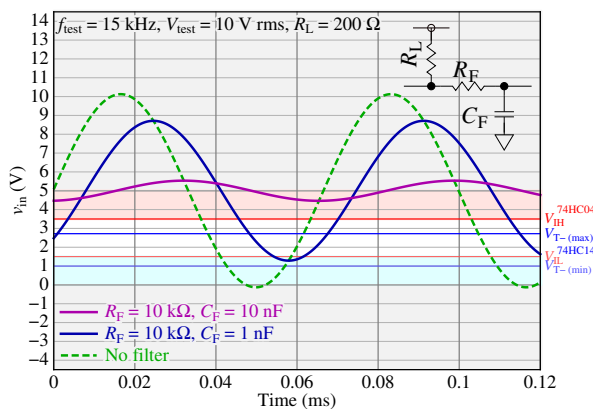


図 11: NPN オープン・コレクタ出力→抵抗プルアップ、電圧入力 — 図 10 のようなフィルタを付けた構成での妨害電圧印加時の入力電圧波形 v_{in} のイメージ ($R_L = 200 \Omega$, 妨害電圧: $f_{test} = 15 \text{ kHz}$, $V_{test} = 10 \text{ V rms}$ 、保護ダイオードの影響は無視)

2.2.3 妨害電圧の印加の影響の緩和

図 5～図 7 にも示されているように、本稿で述べるような妨害電圧の印加の影響は受信側のプルアップ抵抗 R_L を小さくすればある程度は小さくなることが予想される。

例えばレシーバが立ち下がりの閾値が低いもの (例えば図 4 で 7414 として例示したもののような) であれば $R_L \leq 100 \Omega$ 程度でも本稿で述べるような妨害電圧を印加した時も意図された動作を維持できるかも知れない。

だが、レシーバが図 4 で 74HC04 として例示したようなものの場合、この方法だけで本稿で述べるよ

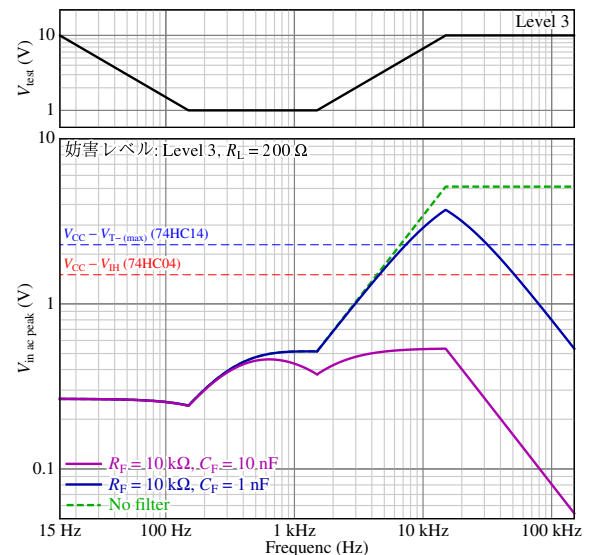


図 12: NPN オープン・コレクタ出力→抵抗プルアップ、電圧入力 — 図 10 のようなフィルタを付けた構成での妨害電圧印加時にレシーバの入力に現れる妨害電圧成分のピーク値 $V_{in \text{ ac peak}}$ の推定 ($R_L = 200 \Omega$, 妨害レベル: Level 3 (図 2))

うな妨害電圧の印加の影響を排除しようとするプルアップ抵抗 R_L を極度に小さくすることが必要となりそうである。

先に述べたように妨害電圧の印加の影響は高い周波数範囲で大きくなると予想され、従ってレシーバの応答速度 (周波数特性) を悪化させても問題ない場合は、高域遮断フィルタ、例えば図 10 のような RC

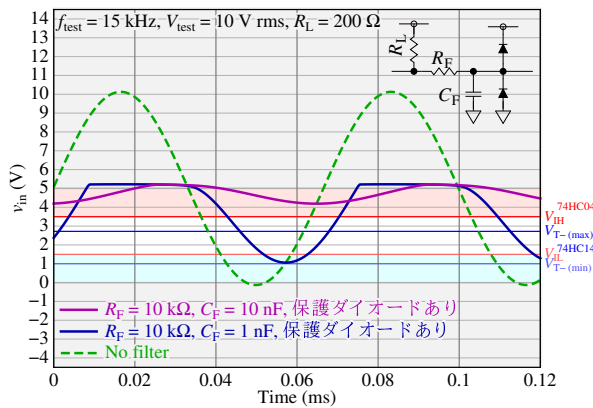


図 13: NPN オープン・コレクタ出力→抵抗プルアップ、電圧入力 — 保護ダイオードの影響を考慮した、図 10 のようなフィルタを付けた構成での妨害電圧印加時の入力電圧波形 v_{in} のイメージ ($R_L = 200 \Omega$, 妨害電圧: $f_{test} = 15 \text{ kHz}$, $V_{test} = 10 \text{ V rms}$)

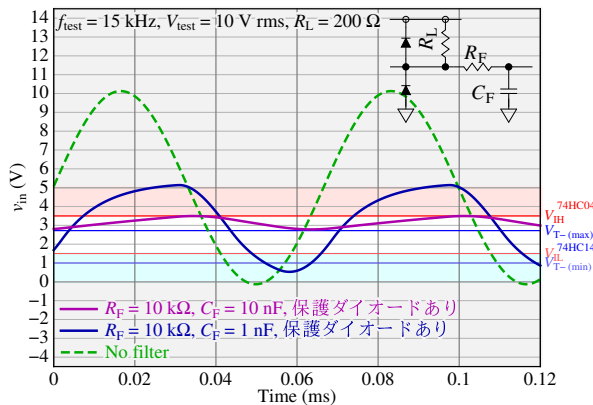


図 14: NPN オープン・コレクタ出力→抵抗プルアップ、電圧入力 — 保護ダイオードを抵抗 R_L の手前に置いた場合、図 10 のようなフィルタを付けた構成での妨害電圧印加時の入力電圧波形 v_{in} のイメージ ($R_L = 200 \Omega$, 妨害電圧: $f_{test} = 15 \text{ kHz}$, $V_{test} = 10 \text{ V rms}$)

フィルタを付けることでこの影響を低減することもできそうである。

図 11 には、プルアップ抵抗 $R_L = 200 \Omega$ として、図 10 のようにレシーバの入力に $R_F = 10 \text{ k}\Omega$ 、 $C_F = 1 \text{ nF}$ 及び 10 nF の RC フィルタを付けた状態を想定して、 $f_{test} = 15 \text{ kHz}$ 、 $V_{test} = 10 \text{ V rms}$ の妨害電圧を印加した時のレシーバ Q2 の入力電圧 v_{in} の波形を推定した結果を示す。また、図 12 には、その状態で図 2 で折れ線で示した Level 3 の妨害を印加した時にレシーバの入力に現れる妨害電圧成分のピーク値 $V_{in \text{ ac peak}}$ を $15 \text{ Hz} \sim 150 \text{ kHz}$ の範囲について推定した結果を示す。

この推定からすると、例えば図 10 のように $R_F = 10 \text{ k}\Omega$ 、 $C_F = 10 \text{ nF}$ 程度 (カットオフ周波数 約

1.6 kHz) の RC フィルタを入れればこの試験法での Level 3 の試験レベルでの試験で期待される影響を許容範囲内に抑えられると期待できそうである。

ここではプルアップ抵抗 $R_L = 200 \Omega$ とした場合を仮定したが、より小さいプルアップ抵抗 R_L と組み合わせればより緩いフィルタで同様の効果を得られるであろう。

なお、図 11 や図 12 で示した推定では図 10 にグレーで示したような保護ダイオードの影響は無視している。

この保護ダイオードの影響を考慮した場合、波形が図 13 にイメージを示すようにクリップされ、これは本稿で述べるような分析にも幾分かの影響を与える可能性がある。

ここで、図 13 の波形は抵抗 R_F の後、コンデンサ C_F と同じ位置に保護ダイオードを付けた場合の推定であることに注意されたい。このダイオードを R_F の手前に付けた場合は波形の上半分が切り落とされた後でフィルタされることになり、フィルタされた波形は下に有意にオフセットすることが予想される。その $f_{test} = 15 \text{ kHz}$ での波形を推定したものを図 14 に示すが、 $R_F = 10 \text{ k}\Omega$ 、 $C_F = 10 \text{ nF}$ とした場合の波形が図 13 の場合と比較して明らかに下にオフセットし、 V_{IH} のラインを下回っているのが目につくだろう。

2.3 非絶縁 オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側)

ここでは、図 15 や図 16 のように EUT 側の NPN や PNP のオープン・コレクタ出力からの電流を AE (対向器) 側のフォトカプラで受ける場合について考える。

試験は EUT 側は接地して (\perp に接続して) 行なわれ、一方 AE 側 (フォトカプラ側) のポートはこの構成では自ずとフローティングとなる。^{†7†8}

^{†7} 負荷がリレーである場合も同様にリレー・コイル側はフローティングとなる。だが、その高いインダクタンスや機械的な応答特性などのため、その挙動はここで述べるようなフォトカプラの場合とは異なったものとなりそうである。

^{†8} ここでは負荷を駆動する電源の供給をドライバ側 (ここでは EUT 側) から受けられると仮定している。この電源を負荷側 (ここでは AE 側) で用意する場合、実際の使用時には負荷側はおそらくフローティングとならないが、この試験に際してはいずれにしても AE 側はフローティングとして行なわれる。

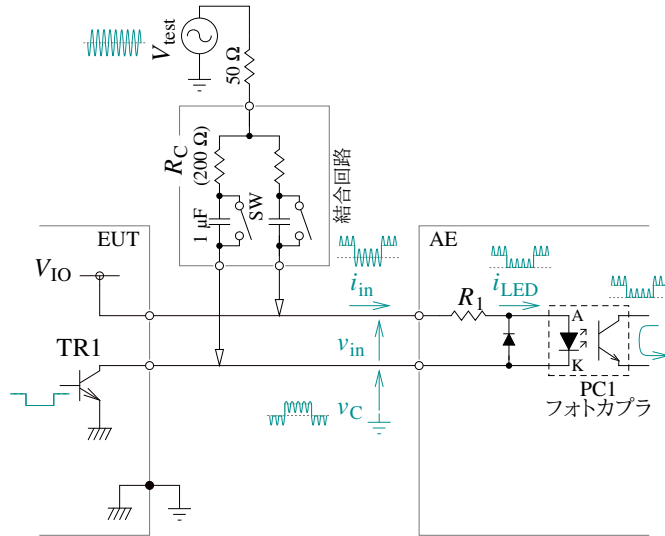


図 15: 非絶縁 NPN オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側) — 妨害電圧の印加

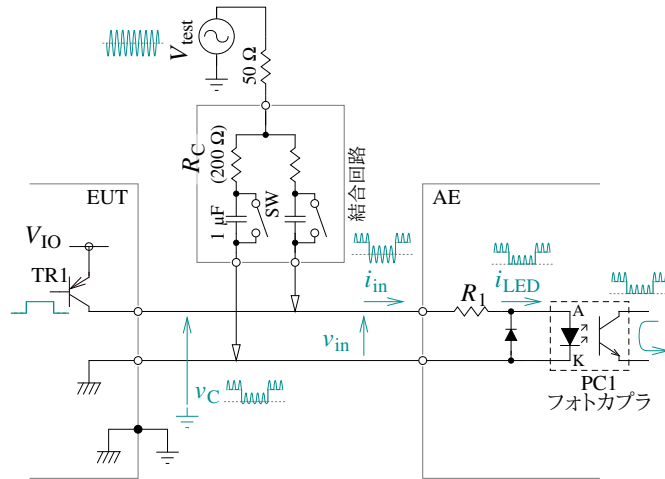


図 16: 非絶縁 PNP オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側) — 妨害電圧の印加

これと EUT と AE を逆にした、すなわち AE 側のオープン・コレクタ出力からの電流を EUT 側のフォトカプラで受ける場合は、AE 側は何らかの手段によってデカップルされ (実際上、フローティングとされ)、EUT 側はフォトカプラによってフローティングとなったままとなることから、この試験での妨害電圧の印加は有害な影響を与えそうにない。

2.3.1 通常の動作

図 15 のように NPN オープン・コレクタ出力をフォトカプラで受ける場合、通常の動作状態ではドライバ TR1 がオン (導通) となっている時は TR1 のコレクタ側の、従ってフォトカプラ PC1 の LED のカソード (K) 側の電位 V_C は 0 V 近くまで引き下

げられて PC1 の LED 電流 I_{LED} は閾値を超え、その出力側はそれに対応した論理状態となる。

また、ドライバ TR1 がオフ (遮断) となっている時はフォトカプラ PC1 の LED 電流 I_{LED} は遮断され、その出力側はそれに対応した論理状態となる。

図 16 のように PNP オープン・コレクタ出力をフォトカプラで受ける場合、通常の動作状態ではドライバ TR1 がオン (導通) となっている時は TR1 のコレクタ側の、従ってフォトカプラ PC1 の LED のアノード (A) 側の電位 V_C は V_{IO} 近くまで引き上げられて PC1 の LED 電流 I_{LED} は閾値を超え、その出力側はそれに対応した論理状態となる。

また、ドライバ TR1 がオフ (遮断) となっている時はフォトカプラ PC1 の LED 電流 I_{LED} は遮断され、その出力側はそれに対応した論理状態となる。

2.3.2 妨害電圧の印加の影響

別の記事^[3.3]で触れたように、ドライバが NPN であれ PNP であれ、フォトカプラに過大な電流が流れることなどによる損傷の可能性を別とすればドライバがオフ (遮断) となっている状態で妨害電圧が印加された時にフォトカプラの LED に流れる電流が閾値を超え、その出力側の論理状態が誤った状態となる可能性が最大の懸念となりそうである。

図 17 には、図 15 や図 16 のような構成での i_{in} と i_{LED} の波形を、IO 電源電圧 $V_{IO} = 5\text{ V}$ 、直列抵抗 $R_1 = 500\ \Omega$ 、TR1 はオフ (遮断) とした場合について、図中に示した周波数と妨害電圧を想定して推定したものを示す。

ここで、 i_{LED} の波形は、図 2 で折れ線で示した Level 3 の妨害レベルを想定しての推定の結果を実線で、10 V rms の妨害レベルを想定しての推定の結果を破線で示している。

ここでは特定の閾値は仮定しないが、 $V_{IO} = 5\text{ V}$ 、 $R_1 = 500\ \Omega$ と仮定しているので少なくとも閾値の下限は 10 mA よりはかなり低いと想定される。これを念頭にこれらの波形を見ると、少なくとも 15 kHz 10 V rms の妨害電圧を印加した場合は、またおそらくは他のいくつかの条件の妨害電圧の印加の場合も、妨害電圧の印加によってその出力側の論理状態が誤った状態となることが予想されそうである。

2.3.3 妨害電圧の印加の影響の緩和

妨害電圧の印加の影響はフォトカプラの入力部と並列にコンデンサや抵抗を接続することで緩和できる可能性がある。

図 18 に、フォトカプラの入力と並列にコンデンサを付けた時の LED 電流 i_{LED} の (また入力電流 i_{in} の) 波形を推定したものを示す。この推定によれば、 $C_F = 1\ \mu\text{F}$ でも 150 Hz 以上では i_{LED} はかなり小さい値となり、このグラフ上ではゼロのライン上に乗っている。だが、15 Hz では $C_F = 1\ \mu\text{F}$ では効果は見られず、 $C_F = 10\ \mu\text{F}$ でも効果はやや限定的となっている。

図 19 には、入力と並列に抵抗 $R_S = 500\ \Omega$ を、また抵抗とコンデンサの双方を接続した場合の LED 電流 i_{LED} の (また入力電流 i_{in} の) 波形を推定したものを示す。この推定によれば、コンデンサ C_F は用いずに抵抗 $R_S = 500\ \Omega$ のみを接続した場合

でも 15 kHz までのグラフ上では i_{LED} はゼロのライン上に乗っている。だが、この条件ではそれよりも上の周波数、特に 15 kHz では i_{LED} は無視できないレベルに達するままとりそうである。この抵抗 R_S に加えてコンデンサ C_F を接続した場合、 $C_F = 1\ \mu\text{F}$ でも 15 Hz から 15 kHz の全てのグラフ上で i_{LED} はゼロのライン上に乗っている。

個別の検討が必要となるが、高い周波数の妨害電圧の影響の抑制のためにはその周波数や程度に応じて適当な値のコンデンサを、また低い周波数の妨害電圧の影響の抑制のためにはその程度に応じて適当な値の抵抗を接続することで、図 3 のような構成での妨害電圧印加時の影響に対する所望の抑制効果を得ることができそうである。

3 アナログ I/O ポート

3.1 アナログ信号 定電流ソース (EUT 側) → 抵抗負荷、絶縁増幅器入力 (AE 側)

ここでは図 20 のように EUT 側から定電流でソースされるアナログ信号電流 I_{OUT} を AE 側で検出抵抗 R_L で受けている場合について考える。

ソース側 (EUT 側) は絶縁されておらず、受信側 (AE 側) は絶縁増幅器かその他の何らかの手段でアース (\perp) や他の全てのポートからアイソレートされた状態とされるものと想定している。

これと EUT と AE を逆にした、すなわち AE 側からソースされる電流を EUT 側で受ける場合、AE 側は何らかの手段によってデカップルされ (実際上、フローティングとされ) るため、EUT 側が絶縁増幅器のような手段でアース (\perp) や他の全てのポートからアイソレートされる限りは妨害が印加されるラインの両側がフローティングとなることから、この試験での妨害電圧の印加は有害な影響を与えそうにない。

だが、EUT 側が絶縁されない場合はこれと異なり、この試験での妨害電圧の印加によって著しい影響を受ける可能性がある。

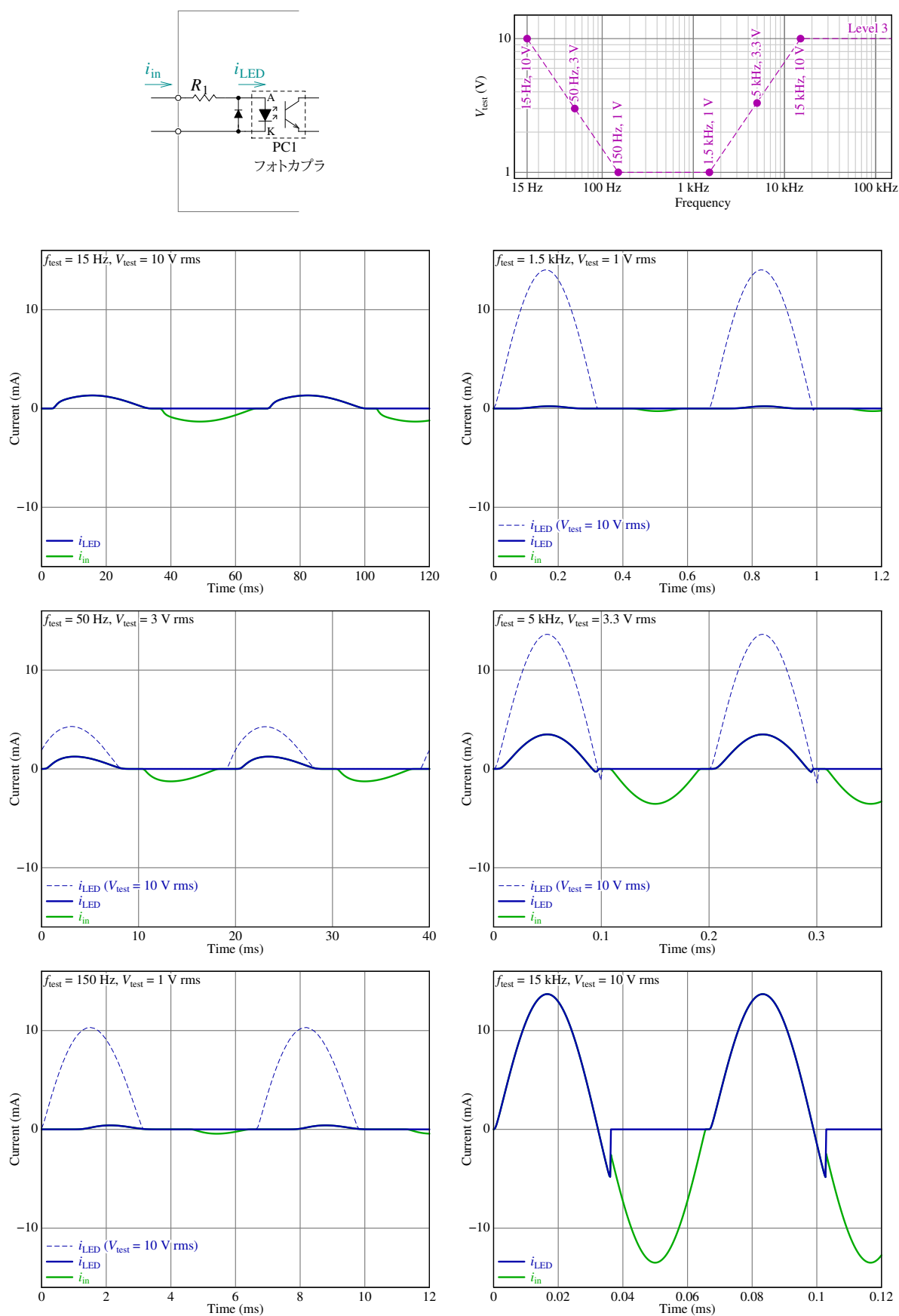


図 17: 非絶縁 オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側) — 妨害電圧印加時の電流波形のイメージ

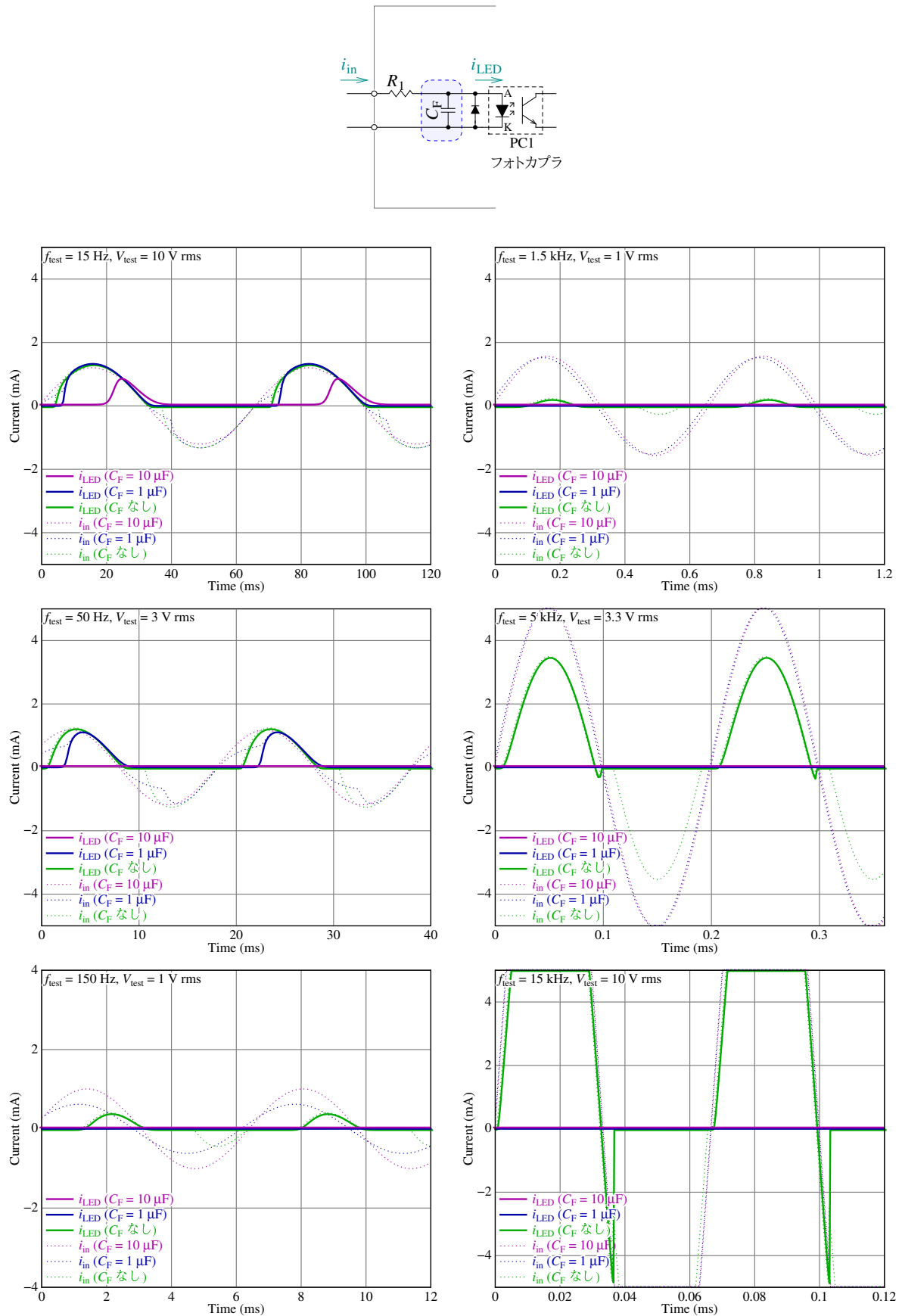


図 18: 非絶縁 オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側) — 図 16 のフォトカプラ入力部へのコンデンサの追加の効果の推定 ($R_1 = 500 \Omega$, $V_{IO} = 5 \text{ V}$)

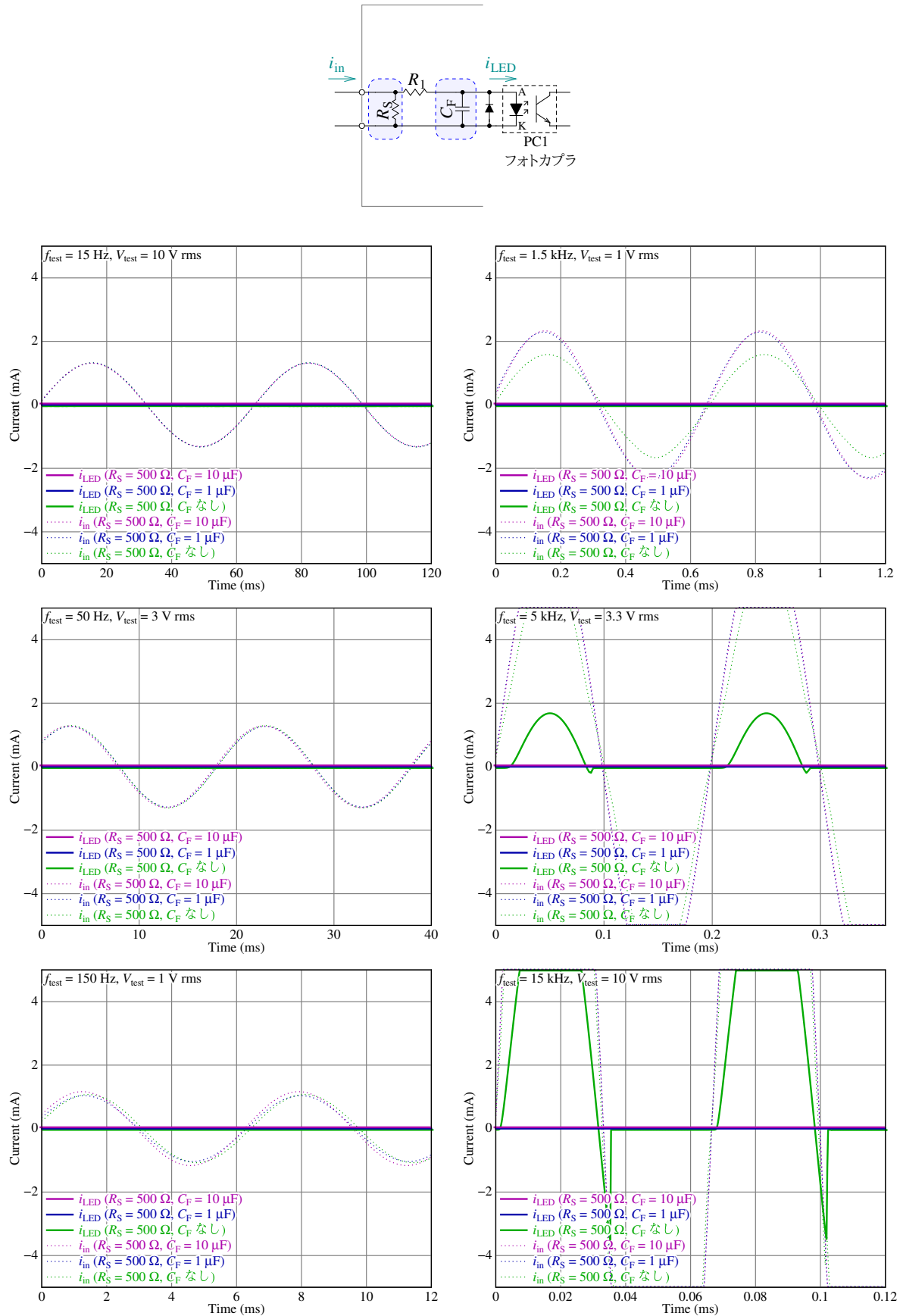


図 19: 非絶縁 オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側) — 図 16 のフォトカプラ入力部への抵抗とコンデンサの追加の効果の推定 ($R_1 = 500 \Omega$, $V_{IO} = 5 \text{ V}$)

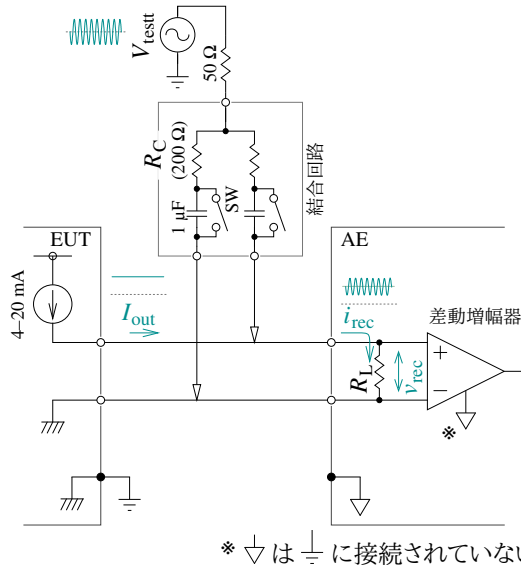


図 20: アナログ信号 定電流ソース (EUT 側) → 抵抗負荷、絶縁増幅器入力 (AE 側)

3.1.1 通常の動作

出力側からソースされた電流 I_{OUT} は受信側の検出抵抗 R_L で電圧 $R_L \cdot I_{OUT}$ に変換され、差動増幅器が差動入力の A/D コンバータで処理される。

3.1.2 妨害電圧の印加の影響

このような系が妨害を受けた時、受信端では信号電流に妨害が重畳したものを受けることになることと予期される。

図 21 に、図 20 のような構成で妨害電圧を印加した時に受信端で信号電流 I_{OUT} に重畳される妨害電流 $I_{rec\ ac}$ を推定した結果を、検出抵抗 $R_L = 20\ \Omega$ 、 $50\ \Omega$ 、及び $100\ \Omega$ とした場合について示す。

この推定は、 $R_L = 100\ \Omega$ の場合でも受信端で信号に重畳される妨害電流のレベルが $15\ \text{kHz}$ 以上で $30\ \text{mA peak}$ を超え、この妨害電流のレベルは R_L が小さくなるとさらに大きくなるであろうことを示している。

この妨害電流がどの程度までであれば許容できるか、すなわち受信したアナログ信号のどの程度の誤差を許容できるかは場合によって異なるであろうが、 $4\text{--}20\ \text{mA}$ を含め、この種のインターフェースではおそらく $30\ \text{mA peak}$ に達するようなレベルの妨害は全く許容できないであろう。

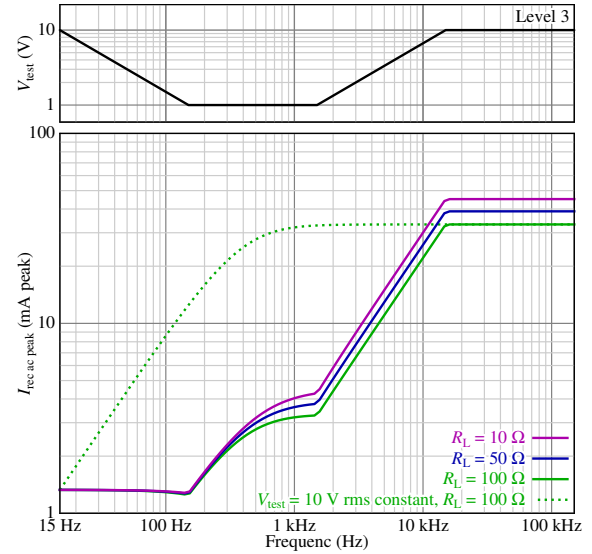


図 21: アナログ信号 定電流ソース (EUT 側) → 抵抗負荷、絶縁増幅器入力 (AE 側) — 受信端で信号に重畳される妨害電流 $I_{rec\ ac}$ の推定 (妨害レベル: Level 3 (図 2))

3.1.3 妨害電圧の印加の影響の緩和

妨害の影響は、例えば図 22 のように差動増幅器の前、あるいは前後に適切な高域遮断フィルタを入れることで緩和できそうである。

このようなフィルタを入れた時に受信端で信号 $V_{OUT} \cdot R_L$ に重畳される妨害電圧 $V_{rec\ ac}$ を推定したものを図 23 に、またその波形を推定した例を図 25 に示す。

この推定からすると、例えばこの $15\ \text{Hz} \sim 150\ \text{kHz}$ の妨害の $4\ \text{mA}$ の信号電流に対する影響を $\pm 5\%$ 以下、すなわち $R_L = 100\ \Omega$ の場合は $0.4\ \text{V}$ の $\pm 5\%$ の $\pm 0.02\ \text{V}$ 以下とすることが目標と仮定し、図 22 のような構成で $R_F = 5\ \text{k}\Omega \times 2$ とすると、 C_F を $10\ \mu\text{F}$ 程度以上とすることが、また同じ条件で $1\ \text{kHz}$ 程度以上の周波数の妨害の影響のみを考慮するならば C_F を $0.3\ \mu\text{F}$ 程度以上とすることが必要となりそうである (図 24)。

4 まとめ

この試験は AC の妨害電圧の印加をコモンモードで行なうような形となっているが、相当のレベルの妨害電圧が実質的にノーマルモードで印加される形となることも多く、この試験に合格させるためにはそれも考慮した設計が必要となりそうである。

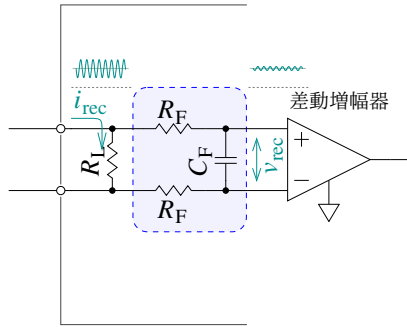


図 22: アナログ信号 定電流ソース (EUT 側) → 抵抗負荷、絶縁増幅器入力 (AE 側) — フィルタの追加の例

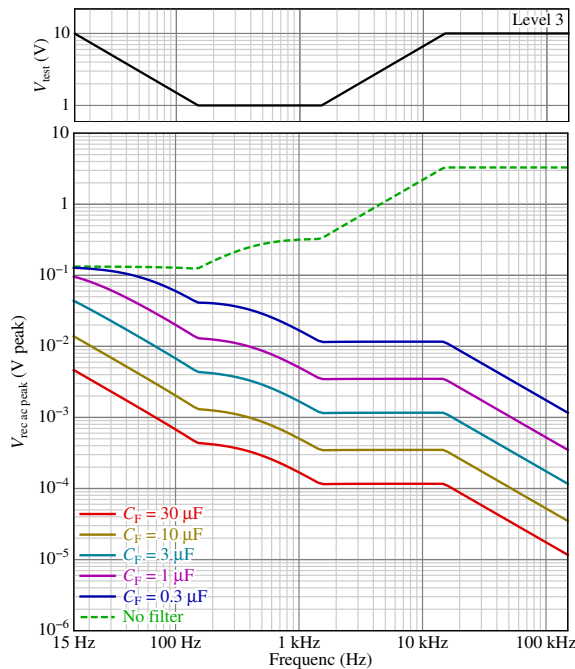


図 23: アナログ信号 定電流ソース (EUT 側) → 抵抗負荷、絶縁増幅器入力 (AE 側) — 図 22 のようなフィルタを付けた構成での妨害電圧印加時に差動増幅器の入力に現れる妨害電圧 $V_{rec\ ac\ peak}$ の推定 ($R_L = 100\ \Omega$, $R_F = 5\ k\Omega \times 2$, 妨害レベル: Level 3 (図 2))

また、この試験での $\pm 100\ V\ rms$ のような妨害電圧での試験で損傷しないことが求められる場合、設計ではそれも考慮することが必要となりそうである。

この試験での妨害電圧の印加に伴う影響の形態や程度、また実際の手段での影響の低減が可能かどうかは場合による。だが、高い周波数範囲の妨害電圧の影響に対しては、回路の周波数応答の悪化や信号の遅延の増大が許容される場合、ポートの種類によっては適切に設計されたフィルタを付けることでこの試験での妨害電圧の影響を有意に低減することはできそうである。

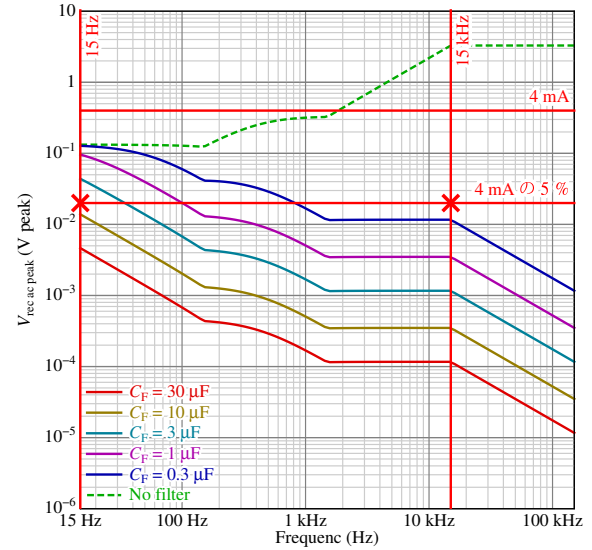


図 24: アナログ信号 定電流ソース (EUT 側) → 抵抗負荷、絶縁増幅器入力 (AE 側) — 図 23 に示した推定に基づく、妨害の影響を $4\ mA$ の $\pm 5\%$ 以下とすることが目標と仮定した C_F の推定 ($R_L = 100\ \Omega$, $R_F = 5\ k\Omega \times 2$, 妨害レベル: Level 3 (図 2))

本稿ではそのいくつかの例を示したが、これらは勝手に設けた仮定に基づく粗い推定で、いずれにしてもこのような方法を用いようとする場合は個別の慎重な検討が必要となるであろう。

また、この試験の結果は対向器 (AE) に強く依存するので、対向器が製造業者自身の管理下でない場合、適合させるために対向器が従うべき詳細な技術情報を提供することも必要となるであろう。

だが、以下のような方策はどのタイプのポートでも有効であろうし、適切に実施すればこの試験だけでなく実際の使用においてもこの種の妨害に対する良好な保護を与えられるであろう：

- ケーブルを適切にシールドする。

この場合はこの規格での試験では妨害電圧はシールドの中のラインではなく図 26 のようにシールドに対してのみ印加され、従ってシールドの中のライン上の信号やそれに接続された回路は有害な影響を受けそうにない。

シールドは実際の使用に際してこの試験で模擬されるような妨害に対する保護を与えるとは限らない。だが、シールドが両端で 360° 接続された良質なシールド・ケーブルの使用は実際の使用においてもこの試験で模擬される妨害に対して、またより高い周波数の妨害に対しても、有効な保護を与えることが期待できるであろう。

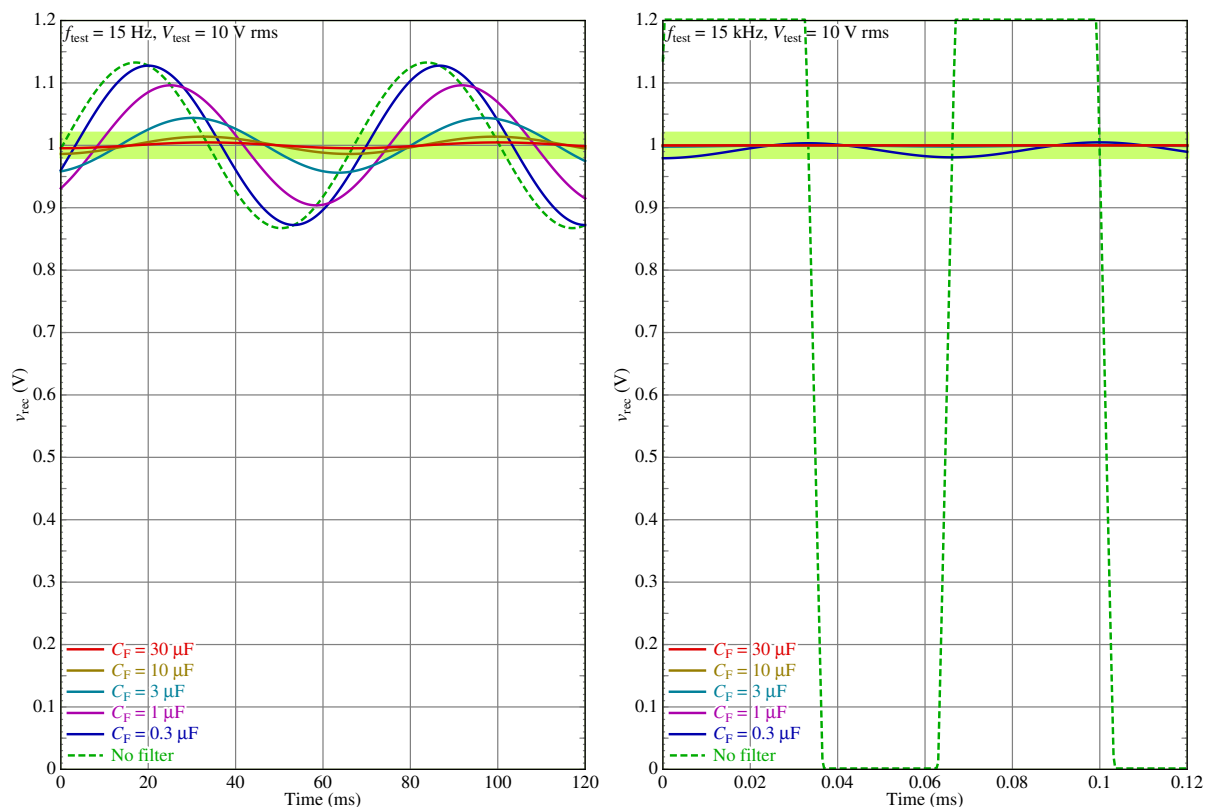


図 25: アナログ信号 定電流ソース (EUT 側) → 抵抗負荷、絶縁増幅器入力 (AE 側) — 図 22 のようなフィルタを付けた構成での妨害電圧印加時に差動増幅器の入力に現れる電圧波形 v_{rec} のイメージ ($I_{out} = 10 \text{ mA}$, $R_L = 100 \Omega$, $R_F = 5 \text{ k}\Omega \times 2$)

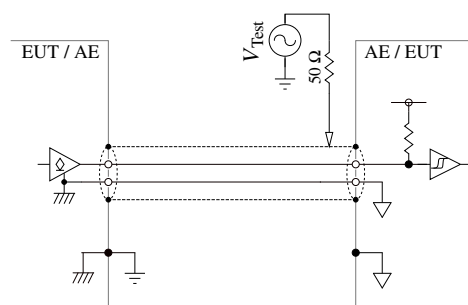


図 26: シールド・ケーブルへの印加

- この試験の対象となる全てのポート、及びその接続先のポートの双方を、アース (≡) や他の全てのポートからアイソレート^[3.3]する (図 27)。

この場合、この規格での試験と実際の使用のいずれの場合でも、實際上、それらのポートに有害な妨害電圧は印加されないことになるだろう。

但し、ポートが回路からパルス・トランスなどでアイソレートされるような場合を除き、それぞれのポートについて電源が必要となるであろう。

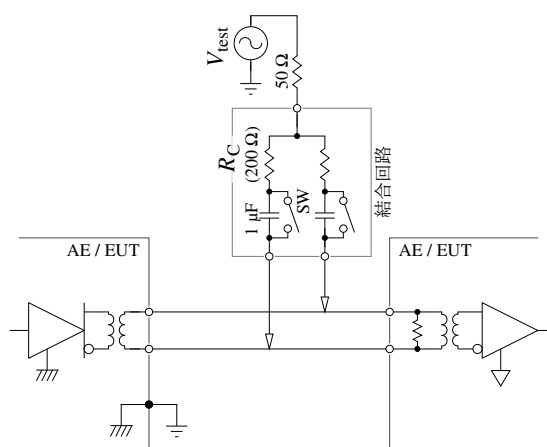


図 27: 両側でアイソレートされた通信線の例

うことからポート数が多い場合はあまり実際的ではないかも知れない。

5 参考資料

- [1] IEC 61000-4-16:2015, *Electromagnetic compatibility (EMC) — Part 4-16: Testing and measurement techniques — Test for immunity to conducted, common mode disturbances in the frequency range 0 Hz to 150 kHz*
- [2] IEC TR 61000-5-2, *Electromagnetic compatibility (EMC) — Part 5: Installation and mitigation guidelines — Section 2: Earthing and cabling*
- [3] IEC 61000-4-16 の概要 — 低周波伝導コモンモード妨害イミュニティ試験の方法, 株式会社 e・オータマ 佐藤, 2024-2025,
<https://www.emc-ohatama.jp/emc/reference.html>
- [3.1] IEC 61000-4-16 の概要 — 追補 1: DC 電圧試験における結合回路による終端の影響
- [3.2] IEC 61000-4-16 の概要 — 追補 2: AC 電圧試験における結合回路による終端の影響
- [3.3] IEC 61000-4-16 の概要 — 追補 3: DC 電圧試験における妨害電圧の印加の影響